

Diagnóstico de Fallas en Módulos Integrados de Potencia.

Saul Tabares Delgado*, Rodolfo Amalio Vargas Méndez*, Jesus Aguayo Alquicira*, Luis Gerardo Vela-Valdés*

*Departamento de Ingeniería Electrónica TECNM/CENIDET Cuernavaca Mor, México

saul.tabares17ea@cenidet.edu.mx, rodolfovm@cenidet.edu.mx, jaguayo@cenidet.edu.mx, velaluis@cenidet.edu.mx

Resumen: En este artículo, se propone un método de detección de fallas (FDI) por sobre-corriente y sobre-temperatura para módulos de potencia integrados (IPM), que son básicamente inversores trifásicos puente completo. La mayoría de estos módulos tienen integrados, monitores de sobre-temperatura, de sobre-corriente y un pin de habilitación. A comparación de los métodos FDI comunes aplicados a inversores trifásicos construidos con dispositivos discretos que usan corrientes de fase y señales de control de compuerta PWM, el método propuesto no utiliza sensores adicionales, si no que usa los que trae integrados el módulo IPM. El diagnóstico de fallas se realiza mediante la aplicación de una técnica de detección de fallas basada en el modelo paralelo, el cual, es un método sencillo y practico de implementar. Este método describe la estructura física y el comportamiento del sistema libre de falla y lo compara con el modelo real para la generación de residuos. Después de esto, el residuo se evalúa por medio de verificación de umbrales para generar síntomas que indican una determinada falla. Por último, estos síntomas son llevados a un bloque de decisión, el cual se encarga de comparar y verificar si existe una falla, obteniendo con ello el diagnóstico completo.

Palabras clave: Diagnostico de fallas, Módulos de potencia Integrados (IPM), Monitor de sobre-corriente, Monitor de sobre-temperatura, Modelo paralelo.

1. INTRODUCCIÓN

Las técnicas de diagnóstico de fallas (F.D.I por sus siglas en inglés Fault Detection and Insolation) son cada vez más usadas en instalaciones industriales que presentan un incremento en la automatización. Su función principal es garantizar una operación segura y confiable del sistema, que permita detectar y localizar las fallas con el fin de evaluar sus efectos. Estas técnicas de diagnóstico pueden ser aplicadas a un amplio rango de disciplinas entre las que destacan los sistemas mecánicos, hidráulicos, eléctricos y electrónicos [1].

En los sistemas electrónicos las técnicas de diagnóstico de fallas son indispensables cuando se incrementa la complejidad o cuando se usan componentes semiconductores de los denominados inteligentes, como los Módulos de Potencia Integrados (I.P.M por sus siglas en inglés Integrate Power Module) que son básicamente inversores trifásicos, los cuales tienen dos grandes campos de aplicación: los sistemas de alimentación que no pueden ser interrumpidos, donde la frecuencia y el voltaje son fijos y los accionadores o controladores de motores de inducción donde son variables [2, 3].

Los inversores de fuente de voltaje (VSI) trifásicos se usan actualmente en muchas aplicaciones industriales y en sistemas de generación de energía, por lo que la confiabilidad de los VSI es uno de los factores más importantes para mejorar los niveles de fiabilidad y disponibilidad de la unidad

[4-6]. Con base en lo anterior actualmente se han reportado una gran variedad de técnicas de diagnóstico de fallas para inversores trifásicos y multinivel construidos principalmente con dispositivos discretos (IGBTs individuales) [7-11]. La mayoría de estas técnicas usan algoritmos o modelos matemáticos complejos (Observadores, espacios de paridad, redes neuronales PSO-BP) que no siempre representan el comportamiento real del sistema, lo cual puede provocar falsas alarmas en el proceso de detección de fallas.

Como se mencionó anteriormente, existen Módulos de Potencia Integrados (I.P.M) que en su interior tienen un inversor trifásico, tal es caso del módulo IRAMS10UP60B el cual presenta muy buenas características eléctricas y de diseño en comparación con los construidos con IGBTs individuales, por lo que representa una buena opción para implementar alguna técnica de diagnóstico de fallas.

2. TÉCNICA DE DETECCIÓN DE FALLAS BASADA EN EL MODELO PARALELO PROPUESTO

En este artículo, se propone una técnica de detección fallas basada en el modelo paralelo, la cual es implementada al módulo de potencia integrado IRAMS10UP60B. Esta técnica describe la estructura física y el comportamiento del sistema libre de falla y lo compara con el modelo real para la generación de residuos (Figura 1). Esta técnica de diagnóstico a comparación con las técnicas reportadas para

inversores trifásicos y multinivel es un método más sencillo y práctico de implementar, no se utilizan sensores adicionales para la generación de residuos, si no que se usan los que trae integrados el módulo, además con este método se pretende obtener un tiempo de detección más rápido (en el orden de μs) en comparación con los métodos reportados en la bibliografía, lo cual conlleva a una mejora en la confiabilidad del VSI.

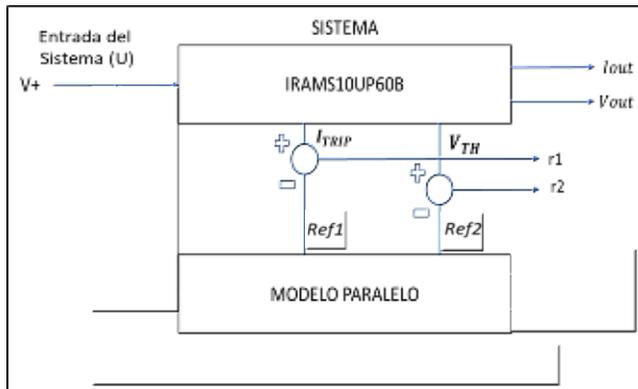


Figura 1. Esquema propuesto para la generación de residuos.

En la Figura 1 se muestra el modelo paralelo, el cual para su implementación no es necesario conocer el modelo matemático del sistema, si no la caracterización de las salidas de los sensores de corriente ITRIP y temperatura VTH del módulo. Esto se hace mediante la implementación de un circuito lógico en paralelo, el cual se encarga de emular el comportamiento de las salidas de los sensores en un estado libre de falla (Figura 5).

Al ocurrir un desvío en el comportamiento de los sensores del módulo el circuito genera una señal de alerta (residuo) la cual es enviada a otro bloque para su evaluación. En este caso solo se tienen dos sensores, pero independientemente de los sensores que se tengan, la técnica de detección de fallas seguirá funcionando correctamente con agregarle más entradas al modelo paralelo.

2.1 Metodología

Para diagnosticar si el sistema está bajo la influencia de alguna falla primeramente se miden las señales de los sensores del modelo real y se comparan con las del modelo paralelo propuesto (ver Figura 1) y así generar un residuo que indique la presencia de alguna anomalía en el sistema. Después de esto, el residuo se evalúa por medio de verificación de umbrales (ver Figura 2) para generar síntomas que indican una determinada falla. Por último, estos síntomas son llevados a un bloque de decisión (ver Figura 3), el cual se

encarga de comparar y verificar si existe una falla, obteniendo con ello el diagnóstico completo (ver Figura 4).

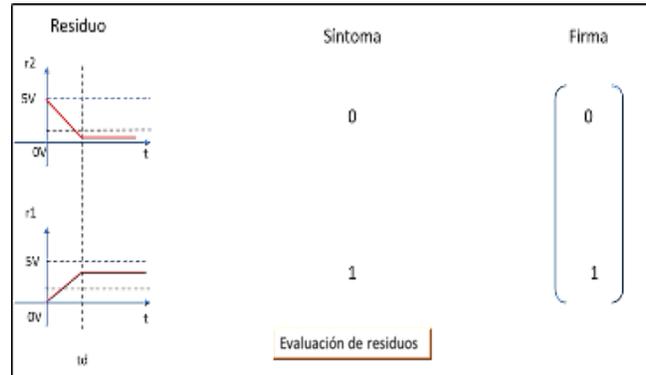


Figura 2. Evaluación de residuos.

La evaluación de residuos se hará mediante verificación de umbrales (Figura 2) tomando en cuenta las siguientes consideraciones: si el residuo está cercano a 0 Volts se tomará como un cero lógico de lo contrario si está cercano a 5 Volts se tomará como uno lógico, después estos síntomas serán puestos en un vector de firmas para su evaluación. La amplitud del umbral dependerá de los valores de las salidas de cada sensor del módulo.

En la etapa de decisión (Figura 3) se toman las firmas obtenidas de la evaluación de residuos y se comparan con una matriz de referencia, la cual, contiene las tres posibles combinaciones de falla, si las firmas de coherencia coinciden con las de referencia esto quiere decir que existe una falla en el sistema lo cual mandaría a deshabilitar al inversor mediante el pin de falla/habilitación del módulo IRAMS10UP60B.

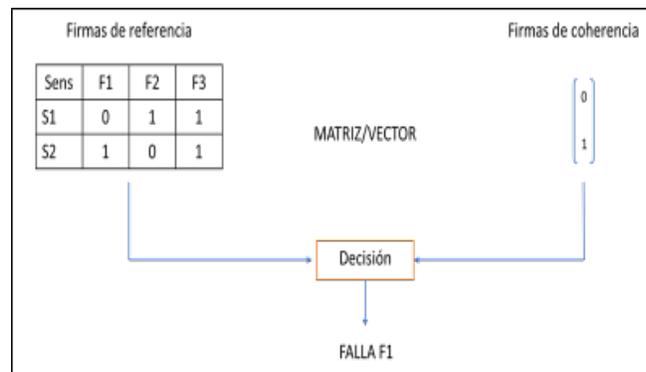


Figura 3. Decisión.

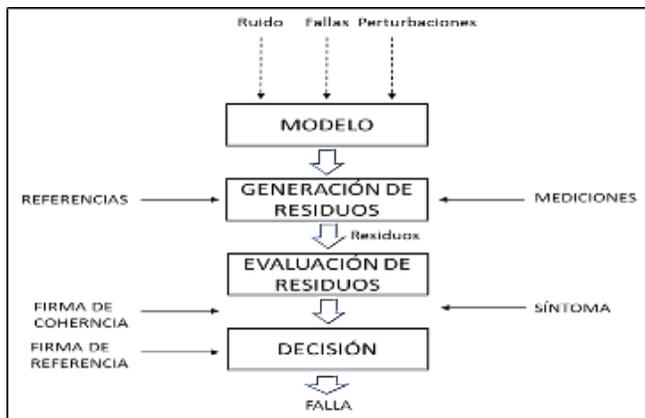


Figura 4. Diagrama general del diagnóstico de fallas.

2.2 Diseño del circuito de detección de fallas

En el esquemático de la Figura 5 se muestra el circuito lógico propuesto para la aplicación de la técnica de diagnóstico de fallas de modelo paralelo/modelo de simulación al IPM. Se le agregó al circuito de detección una etapa de acondicionamiento de señales para aislar la etapa de potencia del inversor con la del circuito lógico y así evitar ruidos o perturbaciones que puedan provocar falsas alarmas de detección de falla.

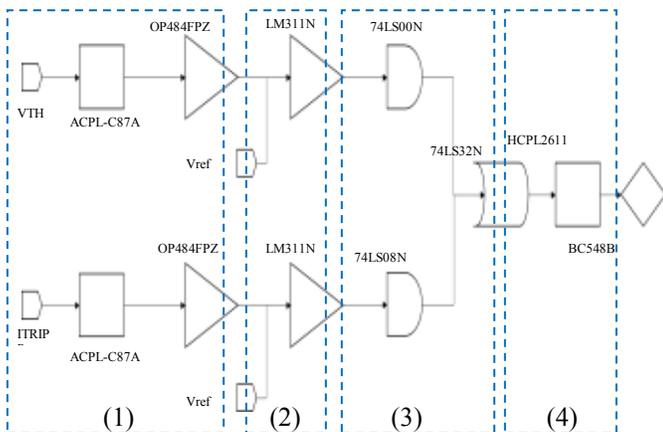


Figura 5. Diagrama del circuito de detección de fallas.

A continuación, se describe como están compuestas cada una de estas etapas y los componentes que las integran.

1. Acondicionamiento de las señales: Para la primera etapa se utiliza el sensor de voltaje de precisión aislado ACPL-C87A para separar la tierra del inversor con la del circuito lógico de diagnóstico, después a la salida del sensor de voltaje se le agrega un amplificador de precisión OP484FPZ en configuración inversora debido a que a las salidas del ACPL-C87A se tienen voltajes negativos.

2. Generación de residuos: En esta etapa se utilizan el comparador de voltaje LM311 en configuración con histéresis para la generación de residuos.

3. Evaluación de residuos: En este caso se utilizan compuertas lógicas de tecnología TTL (74LS08N, 74LS00N, 74LS32N Y 74LS04N) configuradas de tal manera que se ajusten a las salidas de los comparadores y así obtener una evaluación de residuos precisa.

4. Decisión: Por último, se tiene la etapa de decisión la cual se encarga de enviar la señal de falla al pin de habilitación del módulo mediante un transistor BC548B lo que deshabilita todas las salidas del inversor.

2.3 Tiempo de detección de fallas

El tiempo de detección de fallas es muy importante a la hora de implementar cualquier técnica de diagnóstico a convertidores electrónicos de potencia, ya que tiempos de detección mayores al periodo de conmutación de los interruptores (IGBT, MOSFET) podrían ocasionar averías en los componentes semiconductores del convertidor, daños materiales y hasta poner en riesgo la integridad física humana. En la siguiente figura se muestra el tiempo de detección de fallas obtenido de la técnica de diagnóstico de modelo paralelo aplicada al inversor IRAMS10UP60B.

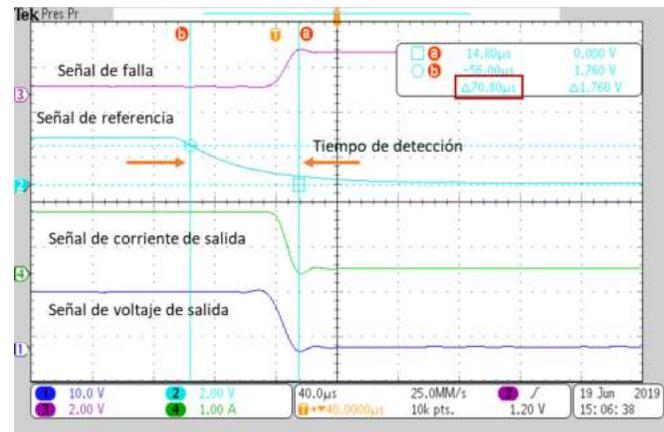


Figura 6. Tiempo de detección de fallas del circuito de diagnóstico del inversor. Señal de entrada (Línea rosa), señal de falla (Línea azul).

En la Figura 6 se puede observar en el recuadro de color rojo el tiempo de detección de fallas por sobre-temperatura y sobre-corriente de aproximadamente 70.80µs el cual rebasa el límite de operación segura reportada en la hoja de datos del inversor [3], sin embargo, estos datos son calculados con base en índices máximos de operación del inversor, lo cual en nuestro caso de estudio no se alcanzarán dichos rangos de operación.

3. DISEÑO DEL CONTROL PWM CONDUCCIÓN A 180°

Cada transistor conducirá durante 180° a una frecuencia de 50Hz. Tres transistores se mantienen activos durante cada instante del tiempo. Cuando el transistor Q1 está activado (Ver figura 7), la fase A se conecta con la terminal positiva

del voltaje de entrada. Cuando se activa el transistor Q4, la fase A se lleva a la terminal negativa de la fuente DC. En cada ciclo existen seis modos de operación, cuya duración es de 60°. Los transistores se numeran según su secuencia de excitación como sigue (123, 234, 345, 456, 561, 612). Las señales de excitación mostradas en la Figura 8 están desplazadas 60° unas de otras, para obtener voltajes trifásicos balanceados. El control descrito anteriormente se programó en la tarjeta FPGA Altera Cyclone LL EP2C5T144.

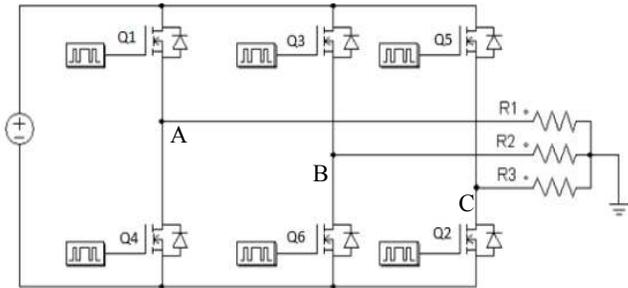


Figura 7. Inversor trifásico puente completo.



Figura 8. Señales de control PWM para los interruptores a 50Hz.

4. RESULTADOS EXPERIMENTALES

En la Figura 9 se muestra el prototipo terminado en el que se realizarán las pruebas de detección de fallas por sobretensión y sobrecorriente al módulo de potencia IRAMS10UP60B. En la siguiente tabla se muestran las principales características eléctricas del módulo.

Tabla 1. Características eléctricas del IPM.

F_{PWM}	Frecuencia de portadora	20	kHz
V^+	Bus de CD	450	V
I_o a 25°C	Corriente de fase RMS	10	A
V_{CC}	Tensión de Alimentación	12-20	V
Carga	Rango de potencia	0.4-0.75	KW

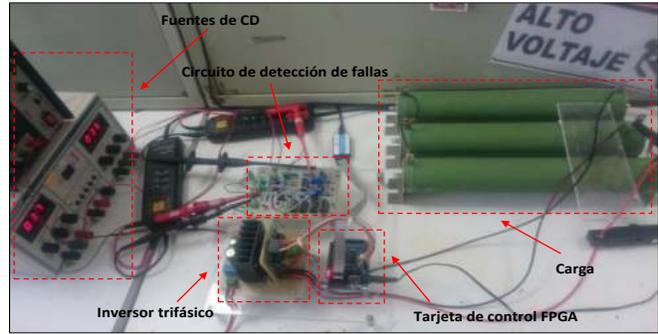


Figura 9. Prototipo para la implementación del diagnóstico de fallas.

En la Figura 9 se muestra el prototipo para la implementación del diagnóstico de fallas al módulo IRAMS10UP60B, donde se usaron cargas resistivas de 100Ω por fase en configuración estrella para generar voltajes altos con corrientes bajas a las salidas del inversor y así poder emular fallas por sobretensión en condiciones de operación cercanas a las reales. Para la emulación de fallas por sobrecorriente se usaron cargas resistivas de 10Ω por fase en configuración delta para generar corrientes altas con voltajes bajos, para así poder emular el comportamiento del inversor en presencia de corrientes que estén fuera del rango de operación permitido.

4.1 Pruebas de detección de fallas por sobrecorriente

Para la emulación de las fallas por sobrecorriente en el inversor trifásico el procedimiento es el siguiente:

1. Se propone un rango de corriente de protección para el funcionamiento del inversor
2. Ajustamos el bus de CD y la carga para no sobrepasar el límite de corriente propuesto en el paso 1.
3. Se ajusta el valor de referencia (V_{Ref}) del comparador del circuito de detección de fallas con base en a las mediciones registrados en la Tabla 2.

Tabla 2. Mediciones del sensor ITRIP.

Medición #	Corriente I_{RMS} A	Lectura I_{TRIP} (V_{Ref}) mV
1	2.89	112
2	3.39	135
3	4	176
4	4.59	208
5	5.195	239
6	5.8	270
7	6.4	300

4. Para emular la falla se aumenta el valor del bus de CD manualmente ocasionando una sobrecorriente en el inversor que rebase la corriente de protección propuesta en el paso 1.

A continuación, se muestran pruebas de operación del prototipo.

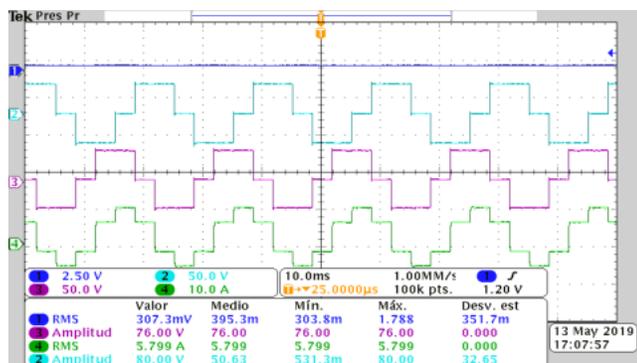


Figura 10. Formas de onda de salida del inversor en operación normal libre de falla.

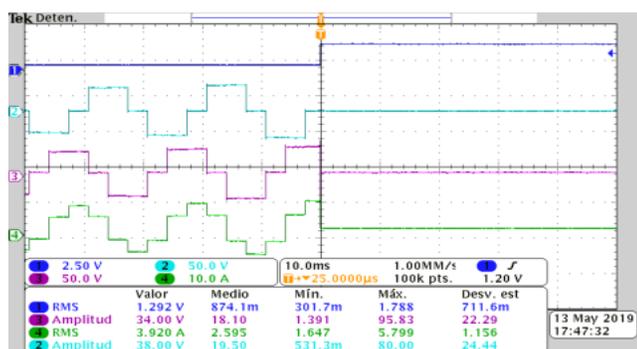


Figura 11. Formas de onda de salida del inversor al presentarse una falla por sobrecorriente.

Se muestra en la Figura 11 una de las pruebas de fallas por sobrecorriente realizadas al módulo IRAMS10UP60B, implementando el método de diagnóstico de fallas de modelo paralelo propuesto. Este método funciona correctamente, ya que al detectar una sobrecorriente (Figura 11) en el inversor, el circuito de diagnóstico manda una señal de falla (Línea azul) al pin de habilitación del módulo ocasionando que se desactiven todas las salidas. Cabe mencionar que si se desea cambiar el punto de operación del inversor solo se tiene que ajustar el V_{Ref} por algún valor deseado de la tabla 2.

4.2 Pruebas de detección de fallas por sobrettemperatura

Para la emulación de las fallas por temperatura en el inversor trifásico el procedimiento es el siguiente:

- Se propone un límite de temperatura al que le inversor entra en falla.
- Ajustamos el bus de CD y la carga a valores deseados.
- El inversor se enciende y se deja trabajando hasta que llega a un funcionamiento en estado estable (no hay variaciones de temperatura y corriente).

4. Se ajusta el valor de referencia (V_{Ref}) del comparador del circuito de detección de fallas con base en valores reportados en la hoja de datos del inversor (Figura 12) [3].

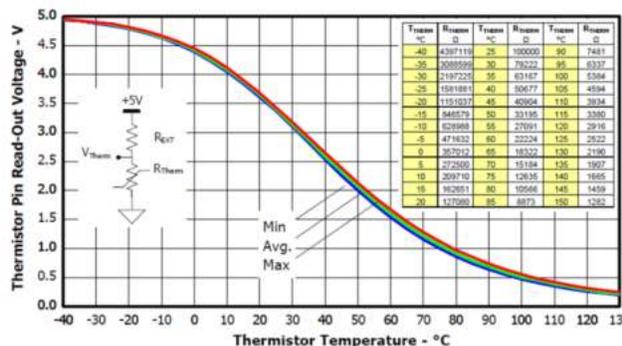


Figura 12. Lectura del termistor frente a cambios de temperatura del módulo IRAMS10UP60B.

5. Para emular la falla se aumenta el valor del bus de CD manualmente ocasionando una sobrecorriente en el inversor, lo cual a la vez provoca un cambio en la temperatura del mismo ocasionando así que se rebase el límite de temperatura propuesto en el paso 1.

A continuación, se muestran pruebas de operación del prototipo.

Tabla 3. Pruebas de detección de fallas por temperatura al inversor.

Prueba #	Bus de CD V	Carga (3Ø, Y) Ω	Temperatura limite °C	V _{Ref} V
1	180	100	40	2.3
2	200	100	45	2.1
3	250	100	50	2

En la Figura 13 y 14 se muestran los oscilogramas de la prueba #3 de la tabla 3.

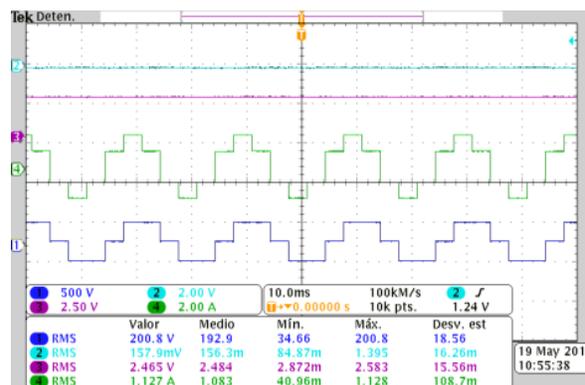


Figura 13. Formas de onda de salida del inversor en operación normal libre de falla.

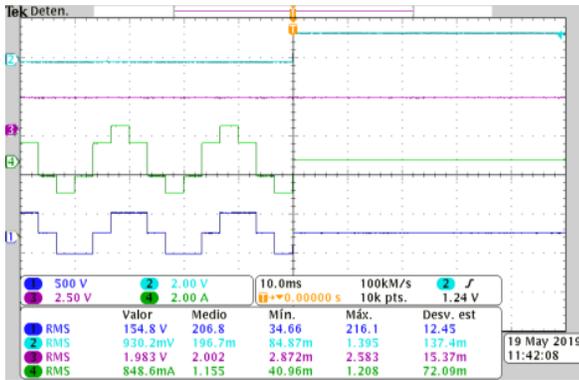


Figura 14. Formas de onda de salida del inversor al presentarse una falla por sobretensión.

Las Figuras 13 y 14 muestran el antes y el después del proceso de detección de fallas por sobretensión, en el cual se puede observar como el circuito de diagnóstico envía una señal de falla (Línea azul) al pin de habilitación del módulo al detectar una sobretensión, lo cual ocasiona que se desactiven todas las salidas del inversor. Cabe mencionar que si se desea cambiar el punto de operación del inversor solo se tendría que ajustar el VRef por algún valor deseado de la tabla de la Figura 12 que se reporta en la hoja de datos del módulo [3].

5. CONCLUSIONES

Con base en las pruebas realizadas y resultados obtenidos a lo largo de este artículo, se puede concluir que se logró implementar con éxito una técnica de detección de fallas a un módulo de potencia integrado (IPM). En la literatura no se reportan técnicas de diagnóstico de fallas a I.P.M por lo que se concluye que la técnica de detección de fallas implementada en este trabajo es una aportación y un nuevo enfoque para el diagnóstico de fallas a inversores IPM.

REFERENCIAS

[1] J. A. Alquicira, "Diagnóstico de fallas en un inversor a partir de los tiempos de conmutación en los dispositivos semiconductores," DOCTORADO, CENIDET, 2004.

[2] M. B. [Note AN-1044] P Wood, N. Keskar, A. Guerra, "hoja de aplicación International Rectifier," ed, 2002.

[3] I. rectifier, "Modulo de potencia IRAMS10UP60B," in *Hoja de datos*, ed.

[4] T. S. Kwon, S. H. Hong, J. H. Baek, and S. I. Yong, "Development of New 1200V SPM smart power module for Industrial Motor Drive Applications," in *PCIM Europe 2014; International Exhibition and Conference for Power Electronics, Intelligent*

Motion, Renewable Energy and Energy Management, 2014, pp. 1-6.

- [5] K. Tae-Sung, L. Jong-Mu, P. Kyeong-Seok, K. Young-Chul, K. Ho-Hyun, and S. I. Yong, "Development of new smart power module for home appliances motor drive applications," in *2011 IEEE International Electric Machines & Drives Conference (IEMDC)*, 2011, pp. 95-100.
- [6] S. Shin, B. Jin, K. Song, H. Bae, and T. Kwon, "A New 600V Smart power Module with the High Power Density for Motor Drive Applications in Home Appliances," in *PCIM Asia 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2016, pp. 1-8.
- [7] Z. Wang, X. Shi, L. M. Tolbert, F. and B. J. Blalock, "A di/dt Feedback-Based Active Gate Driver for Smart Switching and Fast Overcurrent Protection of IGBT Modules," *IEEE Transactions on Power Electronics*, vol. 29, no. 7, pp. 3720-3732, 2014.
- [8] M. Alavi, D. Wang, and M. Luo, "Short-Circuit Fault Diagnosis for Three-Phase Inverters Based on Voltage-Space Patterns," *IEEE Transactions on Industrial Electronics*, vol. 61, no. 10, pp. 5558-5569, 2014.
- [9] X. Wang, H. Sun, and D. Wang, "Fault diagnosis of cascaded inverter based on PSO-BP neural networks," in *Proceedings of the 33rd Chinese Control Conference*, 2014, pp. 3263-3267.
- [10] D. Chen, Y. Ye, and R. Hua, "Fault diagnosis of three-level inverter based on wavelet analysis and Bayesian classifier," in *2013 25th Chinese Control and Decision Conference (CCDC)*, 2013, pp. 4777-4780.
- [11] I. Jlassi, J. O. Estima, S. K. E. Khil, N. M. Bellaaj, and A. J. M. Cardoso, "A Robust Observer-Based Method for IGBTs and Current Sensors Fault Diagnosis in Voltage-Source Inverters of PMSM Drives," *IEEE Transactions on Industry Applications*, vol. 53, no. 3, pp. 2894-2905, 2017.