

# Toward a Voltage Reconfigurable Logic Gate

Irwin A. Díaz-Díaz, Eric Campos

*Institute for Scientific and Technological Research of San Luis Potosí,  
Control and Dynamical Systems Division, SLP, 78216 (e-mail:  
{irwin.diaz, eric.campos}@ipicyt.edu.mx).*

---

Resumen. Currently, novel approaches are being developed to overcome the imminent Moore's law failure. The techniques attempt to gain greater computing power by reducing the number of transistors. This work presents the simulation of a reconfigurable voltage logic gate based on the equation of a plane. The proposal is achieved by using two variables of the equation of a plane as inputs and the other as output. The proposed circuit can perform the NAND and NOR logic gates, known as universal logic gates. The simulation results show the feasibility of the proposed reconfigurable logic gate. Also, the presented circuit is compatible with the transistor-transistor-logic and can be modified to implement other logic gates by changing a voltage level.

*Keywords:* Chaos, electronic instrumentation, logic gates, nonlinear dynamics

---

## 1. INTRODUCCIÓN

Las compuertas lógicas son componentes básicos de cualquier circuito digital y arquitectura informática. En general, siguiendo el álgebra booleana, las operaciones lógicas se realizan convirtiendo dos entradas dadas en una única salida lógica. Para cualquier operación lógica, tanto las entradas como las salidas tienen dos estados, encendido (ALTO o 1 lógico) y apagado (BAJO o 0 lógico). La confiabilidad de las operaciones lógicas depende de las operaciones confiables de los sistemas elegidos. Dada la demanda actual de miniaturización de dispositivos lógicos, velocidad de cálculo y creación de dispositivos de bajo consumo de potencia, es complicado diseñar un sistema apropiado que sea capaz de producir compuertas inmunes al ruido.

La ley de Moore es un modelo técnico-económico que ha permitido a la industria de manufactura de semiconductores duplicar el rendimiento y la funcionalidad de la electrónica digital aproximadamente cada dos años, manteniendo el costo, la potencia y el área fijos Shalf (2020). Sin embargo, en los últimos años es casi inminente que la ley de Moore llegue a su fin. Lo anterior ha llevado a la comunidad científica a desarrollar enfoques novedosos como la computación no lineal o del caos para obtener un mayor poder de cómputo con un número limitado de transistores Charlot and Gauthier (2022). La dinámica no lineal es una fuente importante de una gran variedad de patrones que se pueden usar para representar sistemas naturales o incluso para realizar tareas computacionales Behnia et al. (2014). En años recientes, se ha buscado

aprovechar la riqueza del caos para implementar funciones booleanas, con la finalidad de realizar cálculos flexibles Kia Behnam and L. (2017), Acharya et al. (2021), Camps et al. (2021).

Por otro lado, en la actualidad cada vez se requiere procesar más datos y las computadoras basadas en la arquitectura de Von-Neumann presentan un problema llamado cuello de botella de von-Neumann Breyer et al. (2017). Este problema se atribuye a la inadecuada tasa de transferencia de datos entre la memoria y la unidad central de procesamiento. Lo anterior se está convirtiendo en el factor más crítico para los dispositivos electrónicos en términos de rendimiento de datos y consumo de energía. Los enfoques de lógica en memoria prometen cerrar la brecha existente entre la lógica y las unidades de memoria.

Las compuertas lógicas básicas son la AND, OR y NOT, a partir de estas compuertas se puede implementar cualquier expresión lógica mediante la combinación de estas compuertas. Desafortunadamente, las compuertas básicas no son reconfigurables. Por otro lado, las compuertas NAND y NOR se encuentran en muchos circuitos lógicos. La principal razón por la que estas compuertas se encuentran es por la posibilidad de implementar cualquier expresión lógica mediante la combinación de ellas. Por esta razón, a las compuertas NAND y NOR se les llama compuertas universales. Un sistema de computación se considera de propósito general universal si es capaz de emular una compuerta NAND o NOR. Por lo tanto, contar con un circuito capaz de producir el mismo comportamiento que una compuerta NAND o NOR puede servir como punto de partida para obtener las otras compuertas lógicas.

---

\* Los autores agradecen el apoyo financiero del CONAHCYT otorgado a través del proyecto No. A1-S-30433.

En la literatura podemos encontrar diferentes propuestas de compuertas lógicas reconfigurables. Recientemente, en Kia et al. (2016) se demostró teóricamente que un simple circuito no lineal puede implementar un número infinito de funciones. En la práctica, las funciones están limitadas por la amplificación del ruido ambiental con cada iteración. En Malik et al. (2019) se presenta la obtención de diferentes funciones lógicas a nivel semiconductor partir de un transistor de efecto de campo (FET, por sus siglas en inglés) giratorio de múltiples compuertas. Las funciones se obtienen cambiando el voltaje de control en uno de las terminales de la compuerta del FET. El funcionamiento de los circuitos lógicos se verifica mediante el software de simulación HSPICE. Charlot and Gauthier (2022) analizaron, mediante simulaciones, la sensibilidad al ruido y otras variaciones de parámetros (como diferencias de parámetros de suministro) de una compuerta basada en un sistema caótico. Durante las simulaciones encontraron que las regiones en el espacio de parámetros correspondientes a la dinámica caótica coinciden con las regiones de máximo error en el cálculo. La arquitectura para implementar funciones booleanas de múltiples entradas y una salida utilizando la computación del caos en sistemas híbridos analógicos digitales se ha estudiado en Kohar et al. (2017). La arquitectura propuesta consiste en un bloque digital de compuertas convencionales y un circuito no lineal, eliminando la necesidad de un codificador. También, en Ashokkumar et al. (2021) se ha utilizado una red neuronal celular controlada por estado (State-Controlled Cellular Neural Network, SC-CNN, por sus siglas en inglés) del sistema de circuito Murali-Lakshmanan-Chua (MLC) sujeto a dos señales lógicas. Utilizando los atractores generados por el circuito lineal en diferentes regiones del espacio de fase se pueden producir compuertas lógicas OR, AND, NOR, NAND, X-OR y X-NOR comúnmente utilizadas en sistemas digitales.

En este trabajo se propone una aproximación basada en la ecuación del plano para construir una arquitectura lógica dinámica. Lo anterior se logra utilizando dos variables de la ecuación del plano como entradas y la otra como salida. El circuito simulado es completamente compatible con compuertas lógicas convencionales de la lógica transistor transistor y puede ser fabricado en un circuito integrado usando las mismas tecnologías de fabricación de semiconductores.

El resto del trabajo se organiza de la siguiente manera. En la Sección II se presentan los materiales y métodos utilizados para generar la compuerta lógica reconfigurable por voltaje a partir de la ecuación del plano. Los resultados de la simulación del circuito electrónico para implementar las compuertas lógicas se muestran en la Sección III. Finalmente, en la Sección IV se dan las conclusiones de este trabajo.



Figura 1. Salida  $z$  de la ecuación del plano y el intervalo abierto  $I_k = (-j, j)$  usado en la partición del espacio de fase de salida.

## 2. MÉTODOS Y MATERIALES

En esta sección se muestra la propuesta para realizar una compuerta lógica reconfigurable por voltaje. Considere la ecuación del plano dada por:

$$Ax + By + Cz = D, \quad (1)$$

donde  $A$ ,  $B$  y  $C$  son constantes reales,  $x$ ,  $y$  son las entradas de la compuerta y  $z$  es la salida. Por lo tanto, la salida de la compuerta está dada por:

$$z = \frac{1}{C} (D - Ax - By). \quad (2)$$

En sistemas digitales, las compuertas lógicas trabajan con valores binarios, i.e., ceros y unos, los valores que puede tomar  $x$  y  $y$  están restringidos al conjunto  $\{0,1\}$ . Por lo tanto, la salida  $z$  toma los valores mostrados en la Tabla 1.

Tabla 1. Valores de  $z$  dados por (2) para los valores binarios de  $x$  y  $y$ .

$x$	$y$	$z$
0	0	$D/C$
0	1	$D/C - B/C$
1	0	$D/C - A/C$
1	1	$(1/C)(D - A - B)$

Considerando los valores de la Tabla 1, se puede observar que la condición  $A = B$ , las combinaciones de entrada (0,1) y (1,0) genera la misma salida, i.e.,  $D/C - A/C$ . Por lo tanto, la Tabla 1 se puede representar como:

Tabla 2. Valores de  $z$  dados por (2),  $D/C = M$ ,  $D/C - A/C = M - N$ ,  $(1/C)(D - A - B) = M - 2N$ .

$x$	$y$	$z$
0	0	$M$
0	1	$M - N$
1	0	$M - N$
1	1	$M - 2N$

En la Figura 1 se muestra una posible localización de la salida  $z$ , así como el intervalo abierto  $I_k = (-j, j)$  que genera la partición del espacio de fase de la salida en  $I_j$  y su complemento  $I_j^c = (-\infty, -j] \cup [j, \infty)$ .

Definiendo una salida binaria bajo la regla de operación:

$$f(z) = \begin{cases} 1, & \text{si } |z| < j, \\ 0, & \text{caso contrario.} \end{cases} \quad (3)$$

Las ecuaciones (1) y (3) definen la compuerta lógica reconfigurable por voltaje propuesta. Si los valores de  $M$  y  $N$  se fijan en valores reales cualesquiera se tendrán distintos casos para generar diferentes compuertas lógicas. Por ejemplo, considerando la Tabla 2 se pueden formar diferentes compuertas lógicas proponiendo:

$$0 < j < N < 2j. \quad (4)$$

Seleccionando los valores de  $M$  y  $N$  que cumplan con la condición 4 se puede generar una compuerta NAND y NOR bajo los siguientes condiciones:

*Caso 1:* Si  $M \in I_j$  y  $M - N, M - 2N \in I_j^c$ , la salida es una compuerta NOR.

*Caso 2:* Si  $M, M - N \in I_j$  y  $M - 2N \in I_j^c$ , la salida es una compuerta NAND.

Tabla 3. Compuertas lógicas generadas con las ecuaciones (1) y (3)

Entradas		Salida (z)	
x	y	NOR	NAND
0	0	1	1
0	1	0	1
1	0	0	1
1	1	0	1

En la Figura 2 se muestra el diagrama esquemático del circuito propuesto para implementar la compuerta lógica reconfigurable por voltaje definida por las ecuaciones (2) y (4). El circuito mostrado en la Figura 2 considera los estados lógicos cero y uno con una tensión de 0 V y 5 V, respectivamente. Como puede apreciarse en la figura, el circuito está conformado por un amplificador operacional (AO) configurado como amplificador sumador no inversor encargado de realizar la suma mostrada en (2). La selección de la señal de salida ( $z$ ) se realiza con un comparador de ventana. El comparador de ventana realiza la multiplicación de  $Ax$  y  $By$  de la Ec. (2), dependiendo del valor en su entrada, manda un nivel lógico a la salida.

### 3. RESULTADOS EN SIMULACIÓN

Seleccionando el intervalo  $I_k = (-2, 2)$  se pueden obtener los valores de  $M$  y  $N$  para obtener cada una de las compuertas lógicas. En la Tabla 4 se muestran los valores de  $M$  y  $N$  para tener una compuerta lógica reconfigurable que realice una operación NOR y NAND.

Tabla 4. Valores de  $M$  y  $N$  para la compuerta lógica reconfigurable.

	NOR	NAND
M	0	-1
N	2.5	2.5

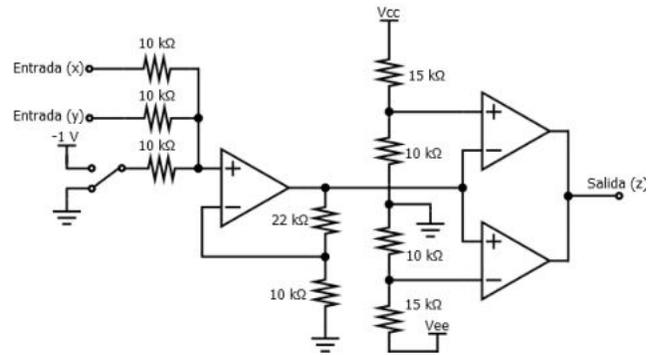


Figura 2. Diagrama esquemático de la compuerta lógica reconfigurable por voltaje.

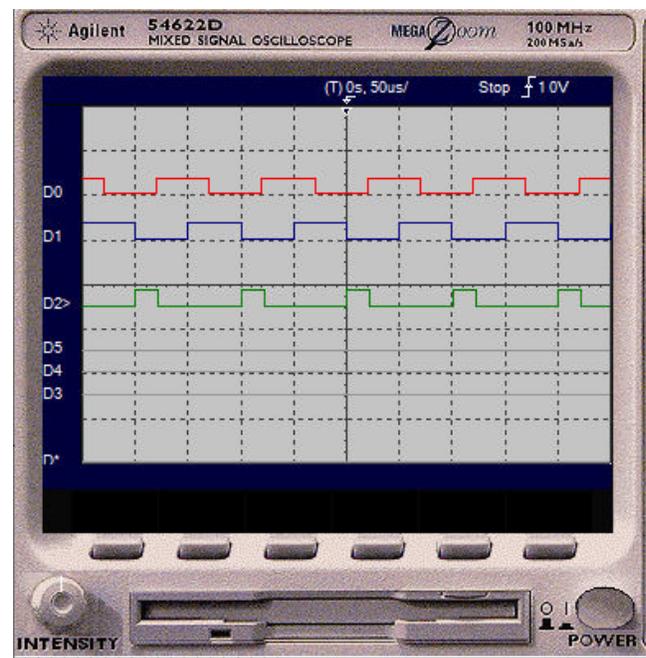


Figura 3. Entradas y salida para una compuerta NOR.

En la Figura 3 se muestra la pantalla del osciloscopio al realizar la simulación para obtener la tabla de verdad de una compuerta NOR utilizando los valores de  $M = 0$  y  $N = 2.5$ . Las entradas  $x$  y  $y$  están en color rojo (D0) y azul (D1), respectivamente, mientras que la salida ( $z$ ) está en color verde (D2). Las señales de entrada se obtienen con un generador de funciones de dos canales con la misma frecuencia, pero desfasadas entre ellas. El desfase realiza para apreciar la secuencia binaria 00, 01, 10 y 11, correspondiente a la tabla de verdad de la compuerta NOR. Como se puede apreciar en la Figura 3 la salida tiene el comportamiento de una compuerta NOR.

En la Figura 4 se muestra la pantalla del osciloscopio al realizar la simulación para obtener la tabla de verdad de una compuerta lógica NAND. La compuerta se obtiene utilizando los valores de  $M = -1$  y  $N = 2.5$ . Las entradas  $x$  y  $y$  están en color rojo y azul, respectivamente,

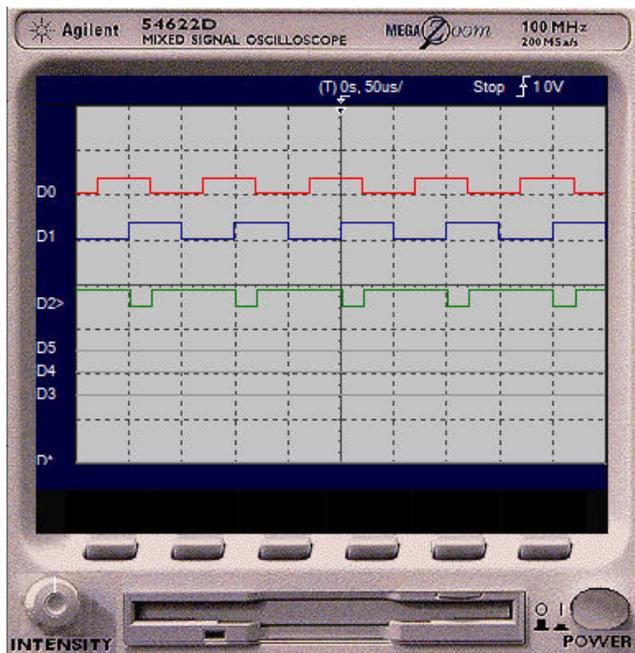


Figura 4. Entradas y salida para una compuerta NAND.

mientras que la salida ( $z$ ) está en color verde. Las señales de entrada se obtienen con un generador de funciones desfasando una señal de la otra y manteniendo el mismo ciclo de trabajo, así se puede apreciar la secuencia 00, 01, 10 y 11. Como se puede apreciar en la Figura 4 la salida tiene el comportamiento de una compuerta NAND.

#### 4. CONCLUSIONES

En este trabajo se presentó una compuerta lógica reconfigurable por voltaje basada en la ecuación del plano. La compuerta presentada es capaz de generar la operación NAND y NOR al variar un parámetro de voltaje. La funcionalidad de la compuerta propuesta se comprobó mediante simulaciones numéricas. Los niveles lógicos de la compuerta propuesta corresponden con los niveles aceptados en la familia TTL, por lo que es compatible con esta familia. La implementación de la compuerta lógica reconfigurable por voltaje es sencilla y utiliza componentes simples, tales como resistencias y amplificadores operacionales. Es necesario hacer pruebas en físico para evaluar el desempeño de la compuerta en términos de tiempo de subida y bajada, sensibilidad al ruido, así como variaciones en la tensión de alimentación y entrada para conocer las características de desempeño. Por otro lado, el circuito mostrado puede ser usado para demostraciones en clase de electrónica analógica o digital, así como proyectos transversales.

#### AGRADECIMIENTOS

Los autores agradecen el apoyo financiero otorgado por el Consejo de Nacional de Humanidades, Ciencia y Tecnología (CONAHCYT) a través del proyecto No. A1-S-30433.

#### REFERENCIAS

- Acharya, R.Y., Charlot, N.F., Alam, M.M., Ganji, F., Gauthier, D., and Forte, D. (2021). Chaogate parameter optimization using bayesian optimization and genetic algorithm. In *2021 22nd International Symposium on Quality Electronic Design (ISQED)*, 426–431. doi:10.1109/ISQED51717.2021.9424355.
- Ashokkumar, P., Aravindh, M.S., Venkatesan, A., and Lakshmanan, M. (2021). Realization of all logic gates and memory latch in the SC-CNN cell of the simple nonlinear MLC circuit. *Chaos: An Interdisciplinary Journal of Nonlinear Science*, 31(6). doi:10.1063/5.0046968. URL <https://doi.org/10.1063%2F5.0046968>.
- Behnia, S., Pazhotan, Z., Ezzati, N., and Akhshani, A. (2014). Reconfigurable chaotic logic gates based on novel chaotic circuit. *Chaos, Solitons Fractals*, 69, 74–80. doi:<https://doi.org/10.1016/j.chaos.2014.08.011>.
- Breyer, E.T., Mulaosmanovic, H., Mikolajick, T., and Slesazek, S. (2017). Reconfigurable nand/nor logic gates in 28 nm hkgm and 22 nm fd-soi fet technology. In *2017 IEEE International Electron Devices Meeting (IEDM)*, 28.5.1–28.5.4. doi:10.1109/IEDM.2017.8268471.
- Camps, O., Stavrinos, S.G., and Picos, R. (2021). Stochastic computing implementation of chaotic systems. *Mathematics*, 9(4). doi:10.3390/math9040375. URL <https://www.mdpi.com/2227-7390/9/4/375>.
- Charlot, N.F. and Gauthier, D.J. (2022). Sensitivity of a chaotic logic gate. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 69(7), 3339–3343. doi:10.1109/TCSII.2022.3170266.
- Kia, B., Lindner, J.F., and Ditto, W.L. (2016). A simple nonlinear circuit contains an infinite number of functions. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 63(10), 944–948. doi:10.1109/TCSII.2016.2538358.
- Kia Behnam, L.J.F. and L., D.W. (2017). Nonlinear dynamics as an engine of computation. *Phil. Trans. R. Soc. A*, 375. doi:<https://doi.org/10.1098/rsta.2016.0222>.
- Kohar, V., Kia, B., Lindner, J.F., and Ditto, W.L. (2017). Implementing boolean functions in hybrid digital-analog systems. *Phys. Rev. Appl.*, 7, 044006. doi:10.1103/PhysRevApplied.7.044006.
- Malik, G.F.A., Kharadi, M.A., and Khanday, F.A. (2019). Electrically reconfigurable logic design using multi-gate spin field effect transistors. *Microelectronics Journal*, 90, 278–284. doi:<https://doi.org/10.1016/j.mejo.2019.07.003>.
- Shalf, J. (2020). The future of computing beyond moore's law. *Philos. Trans. R. Soc. A*, 378. doi:<http://doi.org/10.1098/rsta.2019.0061>.